

REPAIR METHOD AND MANUFACTURING METHOD FOR LIGHT- EMITTING DEVICE

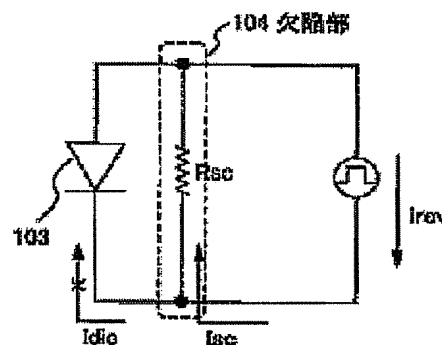
Patent number: JP2002190390
Publication date: 2002-07-05
Inventor: YAMAZAKI SHUNPEI; ARAI YASUYUKI; OSADA MAI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: *H05B33/10; G09F9/00; G09F9/30; H01L27/32; H01L51/50; H05B33/08; H05B33/12; H05B33/14; H05B33/10; G09F9/00; G09F9/30; H01L27/28; H01L51/50; H05B33/02; H05B33/12; H05B33/14; (IPC1-7): H05B33/10; G09F9/00; G09F9/30; H05B33/08; H05B33/12; H05B33/14*
- european:
Application number: JP20010302587 20010928
Priority number(s): JP20010302587 20010928; JP20000309564 20001010

Report a data error here

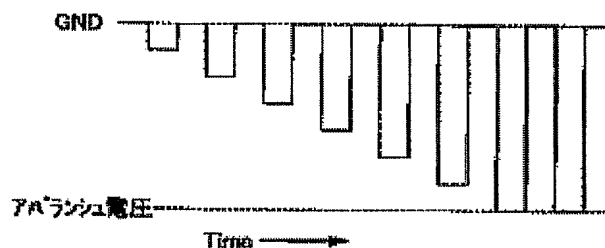
Abstract of JP2002190390

PROBLEM TO BE SOLVED: To provide a method for repairing a light-emitting device with which images of high quality are displayed, even if a pin hole is formed when an EL layer is film-formed. **SOLUTION:** When a reverse bias voltage is applied to an EL element with time intervals, almost no current flows to an EL layer but flows to a defective part which is shorted. If a large current flows to the defective part, the temperature at the part rises to burn the part, gasificate for evaporation, oxidate, or carbonize to turn into an insulating body, causing changes at the defective part. As a result, a current flowing to the EL element, when a voltage of reverse bias is applied becomes small.

(A)



(B)



Data supplied from the esp@cenet database - Worldwide

Family list**13** family members for: **JP2002190390**

Derived from 10 applications

- 1 Method for manufacturing and/or repairing lighting equipment**
Inventor: SHUNPEI YAMAZAKI (JP); YASUYUKI ARAI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L51/52B2 **IPC:** H01L51/52; H01L51/00; H01L51/30 (+6)
Publication info: CN1286347C C - 2006-11-22
CN1350417 A - 2002-05-22
- 2 Repair method and manufacturing method for light- emitting device**
Inventor: MAI YAMAZAKI SHUNPEI ARAI YASU (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L51/52B2 **IPC:** H01L27/32; H01L51/52; H01L51/00 (+8)
Publication info: CN1937240 A - 2007-03-28
- 3 Repair method and manufacturing method for light- emitting device**
Inventor: MAI YAMAZAKI SHUNPEI ARAI YASU (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L51/52B2 **IPC:** H01L51/50; H01L51/52; H01L51/00 (+7)
Publication info: CN1937278 A - 2007-03-28
- 4 Repair method and manufacturing method for light- emitting device**
Inventor: MAI YAMAZAKI SHUNPEI ARAI YASU (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L51/52B2 **IPC:** H05B33/08; H01L51/52; H01L51/00 (+9)
Publication info: CN1937870 A - 2007-03-28
- 5 Method of fabricating and/or repairing a light emitting device**
Inventor: YAMAZAKI SHUNPEI (JP); ARAI YASUYUKI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L51/52B2 **IPC:** H01L51/52; H01L51/00; H01L51/30 (+4)
Publication info: EP1198017 A2 - 2002-04-17
EP1198017 A3 - 2007-05-30
- 6 REPAIR METHOD AND MANUFACTURING METHOD FOR LIGHT-EMITTING DEVICE**
Inventor: YAMAZAKI SHUNPEI; ARAI YASUYUKI; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H05B33/10; G09F9/00; G09F9/30 (+19)
Publication info: JP2002190390 A - 2002-07-05
- 7 METHOD OF FABRICATING AND/OR REPAIRING LIGHT EMITTING DEVICE**
Inventor: ARAI YASUYUKI; OSADA MAI; (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB K K
EC: H01L51/52B2 **IPC:** H01L51/52; H01L51/00; H01L51/30 (+4)
Publication info: KR20020028830 A - 2002-04-17
- 8 Method of fabricating and/or repairing a light emitting device**
Inventor: YAMAZAKI SHUNPEI (JP); ARAI YASUYUKI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L51/52B2 **IPC:** H01L51/52; H01L51/00; H01L51/30 (+5)
Publication info: TW530427B B - 2003-05-01
- 9 Method of fabricating and/or repairing a light emitting device**
Inventor: YAMAZAKI SHUNPEI (JP); ARAI YASUYUKI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: H01L51/52B2 **IPC:** H01L51/52; H01L51/00; H01L51/30 (+4)
Publication info: US7045369 B2 - 2006-05-16
US2002042152 A1 - 2002-04-11
- 10 Method of fabricating and/or repairing a light emitting device**
Inventor: YAMAZAKI SHUNPEI (JP); ARAI YASUYUKI (JP); (+1) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: H01L51/52B2 **IPC:** H01L21/00; H01L51/52; H01L51/00 (+5)
Publication info: US2006183254 A1 - 2006-08-17

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-190390

(P 2 0 0 2 - 1 9 0 3 9 0 A)

(43) 公開日 平成14年7月5日 (2002.7.5)

(51) Int. Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H05B 33/10		H05B 33/10	3K007
G09F 9/00	352	G09F 9/00	5C094
9/30	338	9/30	5G435
	365	365	Z
H05B 33/08		H05B 33/08	

審査請求 未請求 請求項の数18 O L (全24頁) 最終頁に続く

(21) 出願番号	特願2001-302587 (P 2001-302587)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成13年9月28日 (2001.9.28)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願2000-309564 (P2000-309564)	(72) 発明者	荒井 康行 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成12年10月10日 (2000.10.10)	(72) 発明者	長田 麻衣 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		

最終頁に続く

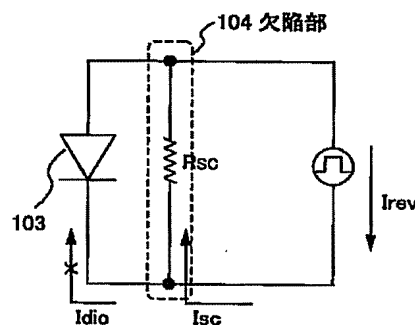
(54) 【発明の名称】 発光装置の修理方法及び作製方法

(57) 【要約】

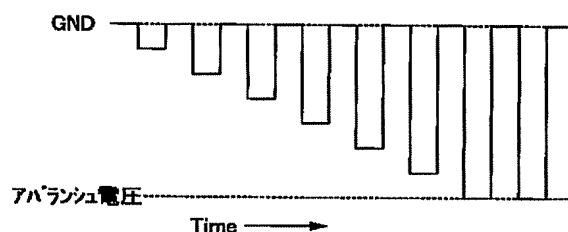
【課題】 EL層を成膜する際にピンホールが形成されても良質な画像表示を行うことができる発光装置の修理法を提供する。

【解決手段】 EL素子に一定期間毎に逆バイアスの電圧をかけると、電流のほとんどはEL層に流れずに、ショートしている欠陥部に流れる。欠陥部に流れる電流が大きいと、欠陥部の温度が上昇するために、欠陥部が焼き切れたり、気化して蒸発したり、酸化または炭化して絶縁体になったりして、欠陥部に何らかの変化が起り、結果、逆バイアスの電圧をかけたときにEL素子に流れる電流を小さくなる。

(A)



(B)



【特許請求の範囲】

【請求項 1】第 1 の電圧と第 2 の電圧を順に E L 素子に印加する発光装置の修理方法であって、

前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 2】E L 素子に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させる発光装置の修理方法であって、

前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 3】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加し、

前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 4】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させ、

前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 5】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加することにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 6】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させることにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、

前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項において、

前記第 1 の電圧及び前記第 2 の電圧が、前記 E L 素子の

アバランシュ電圧の $\pm 15\%$ 以内に納まることを特徴とする発光装置の修理方法。

【請求項 8】第 1 の電圧と第 2 の電圧を順に E L 素子に印加する発光装置の修理方法であって、

前記第 1 の電圧はグラウンドの電圧であり、

前記第 2 の電圧は逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 9】E L 素子に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させる発光装置の修理方法であって、

前記第 1 の電圧と前記第 2 の電圧は、一方はグラウンドの電圧であり、他方は逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 10】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加し、

前記第 1 の電圧はグラウンドの電圧であり、

前記第 2 の電圧は逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 11】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させ、

前記第 1 の電圧と前記第 2 の電圧は、一方はグラウンドの電圧であり、他方は逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 12】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加することにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、前記第 1 の電圧はグラウンドの電圧であり、

前記第 2 の電圧は逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 13】陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、

前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させることにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、

前記第 1 の電圧と前記第 2 の電圧は、一方はグラウンドの電圧であり、他方は逆バイアスの電圧であることを特徴とする発光装置の修理方法。

【請求項 14】請求項 8 乃至請求項 13 のいずれか 1 項において、

前記逆バイアスの電圧が、前記EL素子のアバランシュ電圧の±15%以内に納まることを特徴とする発光装置の修理方法。

【請求項15】陽極と、前記陽極に接するEL層と、前記EL層に接する陰極とを有するEL素子を含む発光装置の作製方法であって、
前記陰極を形成した後、前記陽極と前記陰極の間に第1の電圧と第2の電圧を順に印加し、
前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の作製方法。

【請求項16】陽極と、前記陽極に接するEL層と、前記EL層に接する陰極とを有するEL素子を含む発光装置の作製方法であって、
前記陰極を形成した後、前記陽極と前記陰極の間に印加する電圧を、第1の電圧から第2の電圧へ徐々に変化させ、
前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の作製方法。

【請求項17】陽極と、前記陽極に接するEL層と、前記EL層に接する陰極とを有するEL素子を含む発光装置の作製方法であって、
前記陰極を形成した後、前記陽極と前記陰極の間に第1の電圧と第2の電圧を順に印加することにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、
前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の作製方法。

【請求項18】陽極と、前記陽極に接するEL層と、前記EL層に接する陰極とを有するEL素子を含む発光装置の作製方法であって、
前記陰極を形成した後、前記陽極と前記陰極の間に印加する電圧を、第1の電圧から第2の電圧へ徐々に変化させることにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、
前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、基板上に形成されたEL素子を、該基板とカバー材の間に封入したELパネルの修理方法及び該修理方法を用いた作製方法に関する。また、該ELパネルにICを実装したELモジュールの修理方法に関する。なお本明細書において、ELパネル及びELモジュールを発光装置と総称する。

【0001】

【従来の技術】EL素子は自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要

らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、EL素子を用いた発光装置はCRTやLCDに代わる電気光学装置として注目されている。

【0002】EL素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の修理方法は、どちらの発光を用いた発光装置にも適用可能である。

【0003】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0004】また本明細書において、EL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0005】

【発明が解決しようとする課題】一般的にEL素子は、陽極または陰極のいずれか一方の電極を形成した後、該電極に接するようにEL層を形成し、該EL層に接するように陽極または陰極の残りの一方を形成することで作られる。

【0006】EL層の成膜方法には、主に蒸着による成膜方法と、スピンコートによる成膜方法とがある。いずれの方法においても、電極及びEL層を成膜する際には、ゴミ等が基板に付着しないように、成膜前に基板を洗浄したり、成膜を行うクリーンルーム内の清浄度の管理を徹底する等の努力が行われている。

【0007】しかし、上記努力に関わらずゴミ等が電極等に付着し、成膜したEL層に穴(ピンホール)が開いてしまう場合がある。図12(A)に2つの電極201、202がショートした場合のEL素子200の断面図を簡単に示す。EL層203にピンホールが開くと、EL層203上に電極202を形成したとき、2つの電極201と202とが、ピンホールにおいて接続し、ショートすることがある。なお以下、発光層を間に挟んで形成された2つの層が、発光層に形成されたピンホールにおいて接触している部分を欠陥部204と呼ぶ。

【0008】図13(A)に欠陥部がないEL素子の電圧-電流特性を、図13(B)に欠陥部においてショートしているEL素子の電圧-電流特性を示す。

【0009】図13(A)と図13(B)を比較する

と、EL素子200に逆バイアスの電圧を印加したときにEL素子200に流れる電流は、図13(B)の場合のほうが大きい。

【0010】これは、図13(A)と違って、図13(B)の場合は欠陥部204において2つの電極がショートしているために、欠陥部204において電流が流れるためである。

【0011】欠陥部204において2つの電極201、202がショートすると、EL層の発光輝度が低下する。図12(B)に、欠陥部を有するEL素子に順バイアスの電圧を印加したときの電流の流れを、模式的に示す。

【0012】欠陥部204において2つの電極201、202がショートしている場合、欠陥部204は抵抗 R_{sc} を有し、EL素子200が有する2つの電極を接続していると考えられる。そのため、順方向の電流 I_{ori} をEL素子の一方の電極から流したとき、欠陥部204に流れる電流を I_{sc} 、EL層203に流れる電流を I_{di} 。とすると、電流 $I_{ori} = I_{sc} + I_{di}$ を満たす。

【0013】よって上述した式 $I_{ori} = I_{sc} + I_{di}$ において I_{ori} が一定だとすると、欠陥部が存在するEL素子では、実際にEL層203に流れる電流 I_{di} は小さくなる。欠陥部204における抵抗 R_{sc} が小さくなると I_{sc} が大きくなるため、この傾向が顕著となり、EL素子200の整流性はさらに崩れる。

【0014】EL層203に流れる電流 I_{di} が小さくなると、EL素子200の発光輝度が低下する。つまり、欠陥部においてショートしていると、ショートしていない場合に比べて、順バイアスの電圧をかけた場合のEL素子の発光輝度が低い。

【0015】また、EL層が複数の層を積層することで形成されている場合においても、発光層にピンホールが形成されると、該ピンホールを介して正孔注入層または正孔輸送層と、電子注入層または電子輸送層とが接続されてしまう。この正孔注入層または正孔輸送層と、電子注入層または電子輸送層とが接続されている部分も、電極がショートしている欠陥部と同じように逆バイアスの電流が流れる状態にあるので、EL素子の発光輝度の低下の原因となる。なお以下、発光層を間に挟んで形成された2つの層が、発光層に形成されたピンホールを介して接触している部分を全て、欠陥部と総称する。

【0016】さらに、EL素子の発光輝度の低下に加えて、欠陥部においてショートしていると、欠陥部に常に電流が流れるため、欠陥部の周囲に存在するEL層の劣化が促進されてしまう。

【0017】本発明は上記問題に鑑み、欠陥部の修理方法の考案を課題とする。

【0018】

【課題を解決するための手段】本発明者らは、EL素子に欠陥部が形成されていても、該欠陥部における抵抗を

大きくすれば、順バイアスの電圧を印加したときにEL層に流れる電流が小さくなることを防ぐことができるのではないかと考えた。

【0019】そこで、EL素子に逆バイアスの電圧を印加し、逆バイアスの電流 I_{rev} を流すことで、欠陥部における抵抗 R_{sc} を大きくする方法を考案した。

【0020】EL素子に逆バイアスの電流 I_{rev} を流すと、そのほとんどはEL層に流れずに、ショートしている欠陥部に流れる。欠陥部に流れる電流が大きいと、欠陥部の温度が上昇するために、欠陥部が焼き切れたり、気化して蒸発したり、酸化または炭化して絶縁体になったりして、欠陥部に何らかの変化が起こり、結果的に抵抗 R_{sc} が大きくなる。なお本明細書において、逆バイアスの電流を流すことで抵抗 R_{sc} が大きくなった欠陥部を、変性層と呼ぶ。

【0021】抵抗 R_{sc} が大きくなると、EL素子に順バイアスの電圧をかけたときに、変性層に流れる電流が小さくなり、代わりにEL層に流れる電流が大きくなって、発光輝度が高くなる。

【0022】また、欠陥部では常に電流が流れるために、欠陥部の周囲に存在するEL層の劣化が促進されやすかった。しかし、変性層は抵抗 R_{sc} が高いので電流は流れにくく、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0023】なお本発明の修理方法は、アクティブマトリクス型の発光装置のみならず、パッシブ型の発光装置にも用いることが可能である。

【0024】以下に本発明の構成を示す。

【0025】本発明によって、第1の電圧と第2の電圧を順にEL素子に印加する発光装置の修理方法であって、前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【0026】本発明によって、EL素子に印加する電圧を、第1の電圧から第2の電圧へ徐々に変化させる発光装置の修理方法であって、前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【0027】本発明によって、陽極と、前記陽極に接するEL層と、前記EL層に接する陰極とを有するEL素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に第1の電圧と第2の電圧を順に印加し、前記第1の電圧及び前記第2の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【0028】本発明によって、陽極と、前記陽極に接するEL層と、前記EL層に接する陰極とを有するEL素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に印加する電圧を、第1の電圧から第2の電圧へ徐々に変化させ、前記第1の電圧及び前記第2の電圧

は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 2 9 】本発明によって、陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加することにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 0 】本発明によって、陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させることにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、前記第 1 の電圧及び前記第 2 の電圧は、互いに高さの異なる逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 1 】本発明は、前記第 1 の電圧及び前記第 2 の電圧が、前記 E L 素子のアバランシュ電圧の $\pm 15\%$ 以内に納まることを特徴としても良い。

【 0 0 3 2 】本発明によって、第 1 の電圧と第 2 の電圧を順に E L 素子に印加する発光装置の修理方法であって、前記第 1 の電圧はグラウンドの電圧であり、前記第 2 の電圧は逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 3 】本発明によって、E L 素子に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させる発光装置の修理方法であって、前記第 1 の電圧と前記第 2 の電圧は、一方はグラウンドの電圧であり、他方は逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 4 】本発明によって、陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加し、前記第 1 の電圧はグラウンドの電圧であり、前記第 2 の電圧は逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 5 】本発明によって、陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させ、前記第 1 の電圧と前記第 2 の電圧は、一方はグラウンドの電圧であり、他方は逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 6 】本発明によって、陽極と、前記陽極に接す

る E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に第 1 の電圧と第 2 の電圧を順に印加することにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、前記第 1 の電圧はグラウンドの電圧であり、前記第 2 の電圧は逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 7 】本発明によって、陽極と、前記陽極に接する E L 層と、前記 E L 層に接する陰極とを有する E L 素子を含む発光装置の修理方法であって、前記陽極と前記陰極の間に印加する電圧を、第 1 の電圧から第 2 の電圧へ徐々に変化させることにより、前記陽極と前記陰極の間の逆バイアスの電流が流れる部分を絶縁化または高抵抗化し、前記第 1 の電圧と前記第 2 の電圧は、一方はグラウンドの電圧であり、他方は逆バイアスの電圧であることを特徴とする発光装置の修理方法が提供される。

【 0 0 3 8 】本発明は、前記逆バイアスの電圧が、前記 E L 素子のアバランシュ電圧の $\pm 15\%$ 以内に納まることを特徴としても良い。

【 0 0 3 9 】

【発明の実施の形態】図 1 を用いて本発明の修理方法について説明する。図 1 (A) は、欠陥部を有する E L 素子に逆バイアスの電圧を印加した場合の電流の流れを、模式的に示した図である。

【 0 0 4 0 】E L 素子に、グラウンドの電圧 GND と逆バイアスの電圧 V_{rev} を交互に印加する。図 1 (B) に、グラウンドの電圧 GND と逆バイアスの電圧 V_{rev} を交互に印加したときの、タイミングチャートを示す。なお本実施の形態ではグラウンドの電圧 GND と逆バイアスの電圧 V_{rev} を交互に印加したが、本発明はこの構成に限定されない。本発明では、逆バイアスの電圧を E L 素子に印加するようにすれば良い。よって、順バイアスの電圧もしくは V_{rev} 以外の逆バイアスの電圧と、逆バイアスの電圧 V_{rev} を交互に E L 素子に印加しても良い。

【 0 0 4 1 】また本実施の形態では、一定期間毎に E L 素子に逆バイアスの電圧をかけるが、本発明はこれに限定されない。E L 素子に直流の逆バイアスの電圧を印加しても良い。

【 0 0 4 2 】また、本実施の形態では、なだれ現象が起こって E L 素子にアバランシュ電流が流れるまで、逆バイアスの電圧を徐々に大きくしている。本明細書において、E L 素子にアバランシュ電流が流れるはじめる電圧を、アバランシュ電圧 (Avalanche voltage) と呼ぶ。しかし、本発明はこの構成に限定されず、E L 素子に印加する電圧の高さは設計者が適宜設定することが可能である。E L 素子に印加する電圧の高さは、欠陥部を変性させることができる高さで、なおかつ E L 素子が壊れたり、E L 層が劣化されたりしないぐらいの高さであれば良い。

10

20

30

40

50

【0043】また、直流で印加している逆バイアスの電圧を徐々に大きくする構成であっても良い。

【0044】さらに、一定の高さの逆バイアスの電圧を、一定期間毎にEL素子に印加しても良いし、直流で印加しても良い。

【0045】一定期間毎にEL素子に逆バイアスの電圧を印加すると、欠陥部の周囲にあるEL層が、逆バイアスの電圧の印加により発生する熱などによって劣化することを防ぐことが可能である。

【0046】また徐々に逆バイアスの電圧を高くすることで、修理するEL素子に最適な、逆バイアスの電圧の高さを見出しやすくなる。

【0047】EL素子に逆バイアスの電圧 V_{rev} が印加されると、EL素子に逆バイアスの電流 I_{rev} が流れる。逆バイアスの電流 I_{rev} は、EL層103に流れる電流を I_{dl} 、欠陥部104に流れる電流を I_{sc} とすると、 $I_{rev} = I_{dl} + I_{sc}$ を満たす。しかし逆バイアスの電流はEL層にほとんど流れないので、よって $I_{rev} \approx I_{sc}$ が成り立つ。

【0048】電流 I_{rev} が欠陥部104に流れると、欠陥部104の温度が上昇するために、欠陥部が焼き切れたり、気化して蒸発したり、酸化または炭化して絶縁体になったりして、変性層になる。よって、抵抗 R_{sc} が大きくなる。

【0049】図2(A)に、本発明の修理方法を用いたとき、欠陥部104を有するEL素子の電圧-電流特性の、時間の経過における変化を示す。電圧-電流特性のグラフは、時間の経過と共に矢印の方向に変化する。なお、 V_{av} は、アバランシュ電圧を意味する。逆バイアスの電圧をかけたときに、時間の経過と共に欠陥部の抵抗 R_{sc} が大きくなり、それに伴い欠陥部を流れる電流 I_{sc} が小さくなるので、EL素子に流れる電流が小さくなる。

【0050】図2(B)に、EL素子に順バイアスの電圧を印加したときの電流の流れを模式的に示す。欠陥部を流れる電流 I_{sc} が小さくなると、順バイアスの電圧をEL素子にかけたときに、実際にEL層に流れる電流 I_{dl} が大きくなり、発光輝度が高くなる。

【0051】本発明の方法を用いることによって、EL層成膜時にゴミ等の影響によりピンホールが形成され、発光層を間に挟んで形成された2つの層どうしがショートしても、ショートしている欠陥部を変性層に変えて抵抗を高めることができ、EL素子に順バイアスの電圧をかけたときに実際にEL層に流れる電流を大きくすることができる。したがって、本発明の修理方法により、欠陥部が存在しても、同じ電圧を印加したときの発光輝度を高くすることができる。

【0052】また、欠陥部では常に電流が流れるために、欠陥部の周囲に存在するEL層の劣化が促進されやすかった。しかし、変性層は抵抗 R_{sc} が高いので電流は

流れにくく、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0053】

【実施例】以下に、本発明の実施例について説明する。

【0054】(実施例1)本実施例では、各画素に2つ薄膜トランジスタ(TFT)を有するアクティブマトリクス型の発光装置に、本発明の修理方法を用いた例について説明する。

【0055】図3に本発明の修理方法を用いた発光装置の画素の回路図を示す。各画素はソース信号線 S_i (i は1~ x のいずれか1つ)と、電源供給線 V_i (i は1~ x のいずれか1つ)と、ゲート信号線 G_j (j は1~ y のいずれか1つ)とを有している。

【0056】また、各画素は、スイッチング用TFT301と、EL駆動用TFT302と、EL素子303と、コンデンサ304とを有している。

【0057】スイッチング用TFT301のゲート電極はゲート信号線 G_j に接続されている。またスイッチング用TFT301のソース領域とドレイン領域は、一方はソース信号線 S_i に、もう一方はEL駆動用TFT302のゲート電極に接続されている。

【0058】EL駆動用TFT302のソース領域は電源供給線 V_i に接続されており、ドレイン領域はEL素子303が有する2つの電極のいずれか一方に接続されている。EL素子303が有する2つの電極のうち、EL駆動用TFT302のドレイン領域に接続されていない方は、対向電源307に接続されている。

【0059】なお、EL素子303が有する2つの電極のうち、EL駆動用TFT302のドレイン領域に接続されている電極を画素電極と呼び、対向電源307に接続されている電極を対向電極と呼ぶ。

【0060】またコンデンサ304は、EL駆動用TFT302のゲート電極と電源供給線 V_i との間に形成されている。

【0061】図4(A)に、図3に示した画素を複数有する発光装置の画素部を示す。画素部306は、ソース信号線 $S_1 \sim S_x$ と、電源供給線 $V_1 \sim V_x$ と、ゲート信号線 $G_1 \sim G_y$ とを有している。画素部306には複数の画素305がマトリクス状に形成されている。

【0062】図4(B)にEL素子303の欠陥部を修理する際の、各画素におけるTFTの動作と、電源供給線 V_i 及び対向電極に入力される電圧の高さを示す。EL素子303の欠陥部を修理するとき、各画素のスイッチング用TFT301及びEL駆動用TFT302は共にオンの状態にしておく。そして電源供給線 V_i の電圧を一定にし、対向電極の電圧を一定期間毎に変化させることで、一定期間毎にEL素子に所定の逆バイアスの電流を流す。

【0063】なおEL素子の欠陥の修理は、画素部306が有する全ての画素305において一斉に行っても良

いし、各ライン毎、または各画素毎に行っても良い。

【0064】本発明の方法を用いることによって、EL層成膜時にゴミ等の影響によりピンホールが形成され、発光層に間に挟んで形成された2つの層どうしがショートしても、ショートしている欠陥部を変性層に変えて抵抗を高めることで、EL素子に順バイアスの電圧をかけたときに実際にEL層に流れる電流を大きくすることができる。したがって、本発明の修理方法により、欠陥部が存在しても、同じ電圧を印加したときの発光輝度を高くすることができる。

【0065】また、欠陥部では常に電流が流れるために、欠陥部の周囲に存在するEL層の劣化が促進されやすかった。しかし、変性層は抵抗 R_{sc} が高いので電流は流れにくく、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0066】なお本発明の修理方法は、上記構成を有する発光装置にのみ適用可能なわけではない。本発明はあらゆる構成を有する発光装置に用いることができる。

【0067】(実施例2) 本実施例では、各画素に3つ薄膜トランジスタ(TFT)を有するアクティブマトリクス型の発光装置に、本発明の修理方法を用いた例について説明する。

【0068】図5に本発明の修理方法を用いた発光装置の画素の回路図を示す。各画素はソース信号線 S_i (i は1~ x のいずれか1つ)と、電源供給線 V_i (i は1~ x のいずれか1つ)と、書き込み用ゲート信号線 G_{aj} (j は1~ y のいずれか1つ)と、消去用ゲート信号線 G_{ej} (j は1~ y のいずれか1つ)とを有している。

【0069】また、各画素は、スイッチング用TFT501aと、消去用TFT501bと、EL駆動用TFT502と、EL素子503と、コンデンサ504とを有している。

【0070】スイッチング用TFT501aのゲート電極は書き込み用ゲート信号線 G_{aj} に接続されている。またスイッチング用TFT501aのソース領域とドレイン領域は、一方はソース信号線 S_i に、もう一方はEL駆動用TFT502のゲート電極に接続されている。

【0071】消去用TFT501bのゲート電極は消去用ゲート信号線 G_{ej} に接続されている。また消去用TFT501bのソース領域とドレイン領域は、一方は電源供給線 V_i に、もう一方はEL駆動用TFT502のゲート電極に接続されている。

【0072】EL駆動用TFT502のソース領域は電源供給線 V_i に接続されており、ドレイン領域はEL素子503が有する2つの電極のいずれか一方に接続されている。EL素子503が有する2つの電極のうち、EL駆動用TFT502のドレイン領域に接続されていない方は、対向電源507に接続されている。

【0073】なお、EL素子503が有する2つの電極

のうち、EL駆動用TFT502のドレイン領域に接続されている電極を画素電極と呼び、対向電源507に接続されている電極を対向電源と呼ぶ。

【0074】またコンデンサ504は、EL駆動用TFT502のゲート電極と電源供給線 V_i との間に形成されている。

【0075】図6(A)に、図5に示した画素を複数有する発光装置の画素部を示す。画素部506は、ソース信号線 $S_1 \sim S_x$ と、電源供給線 $V_1 \sim V_x$ と、書き込み用ゲート信号線 $G_{a1} \sim G_{ay}$ と、消去用ゲート信号線 $G_{e1} \sim G_{ey}$ とを有している。画素部506には複数の画素505がマトリクス状に形成されている。

【0076】図6(B)にEL素子503の欠陥部を修理する際の、各画素におけるTFTの動作と、電源供給線 V_i 及び対向電極に輸入される電圧の高さを示す。EL素子503の欠陥部を修理するとき、各画素のスイッチング用TFT501a及びEL駆動用TFT502は共にオンの状態にしておく。また、各画素の消去用TFT501bはオフの状態にしておく。そして電源供給線 V_i の電圧を一定にし、対向電極の電圧を一定期間毎に変化させることで、一定期間毎にEL素子503に所定の逆バイアスの電流を流す。

【0077】なおEL素子503の欠陥の修理は、画素部506が有する全ての画素505において一斉に行っても良いし、各ライン毎、または各画素毎に行っても良い。

【0078】本発明の方法を用いることによって、EL層成膜時にゴミ等の影響によりピンホールが形成され、発光層に間に挟んで形成された2つの層どうしがショートしても、ショートしている欠陥部を変性層に変えて、抵抗を高めることができ、EL素子に順バイアスの電圧をかけたときに実際にEL層に流れる電流を大きくすることができる。したがって、本発明の修理方法により、欠陥部が存在しても、同じ電圧を印加したときの発光輝度を高くすることができる。

【0079】また、欠陥部では常に電流が流れるために、欠陥部の周囲に存在するEL層の劣化が促進されやすかった。しかし、変性層は抵抗 R_{sc} が高いので電流は流れにくく、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0080】(実施例3) 本実施例では、実施例1に示した発光装置の画素部を駆動する、駆動回路の構成について説明する。なお、実施例1の画素部を駆動するソース信号線駆動回路及びゲート信号線駆動回路は、本実施例で示す構成に限定されない。

【0081】図7に、本実施例の発光装置の駆動回路をブロック図で示す。図7(A)において、601はソース信号線駆動回路であり、シフトレジスタ602、ラッチ(A)603、ラッチ(B)604を有している。

【0082】ソース信号線駆動回路601において、シ

フトレジスタ 602 にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 602 は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に発生させ、バッファ等 (図示せず) を通して後段の回路へタイミング信号を順次供給する。

【0083】シフトレジスタ 602 からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの”鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0084】バッファによって緩衝増幅されたタイミング信号は、ラッチ (A) 603 に供給される。ラッチ (A) 603 は、n ビットのデジタルビデオ信号 (画像情報を有するデジタル信号) を処理する複数のステージのラッチを有している。ラッチ (A) 603 は、前記タイミング信号が入力されると、ソース信号線駆動回路 601 の外部から供給される n ビットのデジタルビデオ信号を順次取り込み、保持する。

【0085】なお、ラッチ (A) 603 にデジタルビデオ信号を取り込む際に、ラッチ (A) 603 が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本実施例はこの構成に限定されない。ラッチ (A) 603 が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【0086】ラッチ (A) 603 の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0087】1 ライン期間が終了すると、ラッチ (B) 604 にラッチシグナル (Latch Signal) が供給される。この瞬間、ラッチ (A) 603 に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 604 に一斉に送出され、ラッチ (B) 604 の全ステージのラッチに書き込まれ、保持される。

【0088】デジタルビデオ信号をラッチ (B) 604 に送出し終えたラッチ (A) 603 には、シフトレジスタ 602 からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0089】この 2 順目の 1 ライン期間中には、ラッチ (B) 603 に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0090】図 7 (B) はゲート信号線駆動回路の構成を示すブロック図である。

【0091】ゲート信号線駆動回路 605 は、それぞれシフトレジスタ 606、バッファ 607 を有している。また場合によってはレベルシフトを有していても良い。

【0092】ゲート信号線駆動回路 605 において、シフトレジスタ 606 からのタイミング信号がバッファ 607 に供給され、対応するゲート信号線に供給される。ゲート信号線には、1 ライン分の画素のスイッチング用 TFT のゲート電極が接続されている。そして、1 ライン分の画素のスイッチング用 TFT を一斉に ON にしないくはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0093】本発明の修理方法を用いる場合、ゲート信号線駆動回路によってゲート信号線に入力する信号を制御することで、スイッチング用 TFT をオンにし、ソース信号線駆動回路からソース信号線に入力されるデジタル信号によって EL 駆動用 TFT をオンにする。

【0094】なお、本実施例では、実施例 1 に示した画素部の駆動回路の構成について説明したが、実施例 2 に示した画素部の駆動回路も同様の構成を有している。ただし実施例 2 に示した画素部はゲート信号線駆動回路を 2 つ有しており、各ゲート信号線駆動回路はそれぞれ図 7 (B) に示した構成を有している。実施例 2 の場合、各ゲート信号線駆動回路はそれぞれ書き込み用ゲート信号線と、消去用ゲート信号線とに入力される信号を制御している。

【0095】(実施例 4) 本実施例では、実施例 1 に示した発光装置の画素部を駆動する駆動回路の、実施例 3 に示した場合とは別の構成について説明する。なお、実施例 1 の画素部を駆動するソース信号線駆動回路及びゲート信号線駆動回路は、本実施例で示す構成に限定されない。

【0096】図 8 に本実施例のソース信号線駆動回路 611 の回路図を示す。612 はシフトレジスタ、613 はレベルシフト、614 はサンプリング回路を示している。

【0097】クロック信号 (CLK)、スタートパルス信号 (SP) が、シフトレジスタ 612 に入力される。画像情報を有するアナログの信号 (アナログビデオ信号) はサンプリング回路 614 に入力される。

【0098】シフトレジスタ 612 にクロック信号 (CLK) とスタートパルス信号 (SP) が入力されると、タイミング信号が生成されてレベルシフト 613 に入力される。レベルシフト 613 に入力されたタイミング信号は、その振幅が増幅されて、サンプリング回路 614 に入力される。

【0099】サンプリング回路 614 に入力されたタイミング信号によって、同じくサンプリング回路 614 に入力されたアナログビデオ信号がサンプリングされ、対

応するソース信号線に入力される。

【0100】図8(B)はゲート信号線駆動回路の構成を示すブロック図である。

【0101】ゲート信号線駆動回路615は、それぞれシフトレジスタ616、バッファ617を有している。また場合によってはレベルシフタを有していても良い。

【0102】ゲート信号線駆動回路615において、シフトレジスタ616からのタイミング信号がバッファ617に供給され、対応するゲート信号線に供給される。ゲート信号線には、1ライン分の画素のスイッチング用TF Tのゲート電極が接続されている。そして、1ライン分の画素のスイッチング用TF Tを一斉にONにしないとはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0103】本発明の修理方法を用いる場合、ゲート信号線駆動回路によってゲート信号線に入力する信号を制御することで、スイッチング用TF Tをオンにし、ソース信号線駆動回路からソース信号線に入力されるアナログビデオ信号によってEL駆動用TF Tをオンにする。

【0104】(実施例5)本実施例では、EL層が複数の層で形成されているEL素子に、本発明の修理方法を用いる場合について説明する。

【0105】図9(A)にEL素子の構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物(ITO)からなる陽極上に、正孔注入層として、ポリチオフェン誘導体であるPEDOTをスピコート法により30nmの膜厚で成膜する。次に、正孔輸送層としてMTDATAを20nm、 α -NPDを10nm、それぞれ蒸着法により形成する。その上に発光層を形成する発光材料としてシングレット化合物であるAlq₃を蒸着法により50nmの膜厚で成膜する。そして、陰極としてYbを400nmの膜厚に蒸着することにより、EL素子が形成される。

【0106】上記構成を有するEL素子の発光層において、ピンホールによる欠陥部が形成された場合、欠陥部において陰極であるYbが正孔輸送層である α -NPDに接触してしまう。

【0107】該欠陥部を有するEL素子に一定期間毎に逆バイアスの電流を流すことで、欠陥部の温度が上昇し、欠陥部が焼き切れたり、気化して蒸発したり、酸化または炭化して絶縁体になったりして、結果的に欠陥部が変性層に変わり、抵抗を大きくすることができる。よって、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0108】なお、このEL素子により得られる発光は、シングレット化合物による一重項励起エネルギーを利用したものである。

【0109】図9(B)に別のEL素子の構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物からなる陽極上に、正孔注入層として銅フタロシアニン

を20nmの膜厚で蒸着法により形成する。次に、正孔輸送層として α -NPDを10nmの膜厚で蒸着法により形成させた。その上に発光層を形成する発光材料としてトリプレット化合物であるIr(ppy)₃とCBPを蒸着法により20nmに成膜する。さらに発光層上に電子輸送層としてBCPを10nm、Alq₃を40nm、それぞれ蒸着法により形成した後、陰極としてYbを400nmの膜厚に蒸着することによりEL素子が形成される。

【0110】上記構成を有するEL素子の発光層において、ピンホールによる欠陥部が形成された場合、欠陥部において電子輸送層であるBCPが正孔輸送層である α -NPDに接触してしまう。

【0111】該欠陥部を有するEL素子に一定期間毎に逆バイアスの電流を流すことで、欠陥部の温度が上昇し、欠陥部が焼き切れたり、気化して蒸発したり、酸化または炭化して絶縁体になったりして、結果的に欠陥部が変性層に変わり抵抗を大きくすることができる。よって、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0112】なお、このEL素子により得られる発光は、トリプレット化合物による三重項励起エネルギーを利用したものである。

【0113】図10(A)にEL素子の構成を示す。まず、酸化インジウムと酸化スズを組み合わせた化合物(ITO)からなる陽極上に、正孔注入層として、ポリチオフェン誘導体であるPEDOTをスピコート法により30nmの膜厚で成膜する。その上に発光層を形成する発光材料としてシングレット化合物であるAlq₃を蒸着法により50nmの膜厚で成膜する。そして、陰極としてPbを400nmの膜厚に蒸着することにより、EL素子が形成される。

【0114】上記構成を有するEL素子の発光層において、ピンホールによる欠陥部が形成された場合、欠陥部において陰極であるPbが正孔注入層であるPEDOTに接触してしまう。

【0115】該欠陥部を有するEL素子に一定期間毎に逆バイアスの電流を流すことで、欠陥部の温度が上昇し、欠陥部が焼き切れたり、気化して蒸発したり、酸化または炭化して絶縁体になったりして、結果的に欠陥部が変性層に変わり、抵抗を大きくすることができる。よって、変性層の周囲に存在するEL層の劣化が促進されることを防ぐことができる。

【0116】なお、このEL素子により得られる発光は、シングレット化合物による一重項励起エネルギーを利用したものである。

【0117】図10(B)にEL素子の構成を示す。まず、陰極としてPbを400nmの膜厚に蒸着する。その上に発光層を形成する発光材料としてシングレット化合物であるAlq₃を蒸着法により50nmの膜厚で成

17

膜する。次に、正孔注入層として、ポリチオフェン誘導体である PEDOT をスピンコート法により 30 nm の膜厚で成膜する。そして、Au を 5 nm の膜厚で成膜する。なお Au は、後の工程において EL 層の表面が劣化するのを防ぐために設ける。その上に酸化インジウムと酸化スズを組み合わせた化合物 (ITO) からなる陽極を形成することにより、EL 素子が形成される。

【0118】上記構成を有する EL 素子の発光層において、ピンホールによる欠陥部が形成された場合、欠陥部において陰極である Pb が正孔注入層である PEDOT に接触してしまう。

【0119】なお、この EL 素子により得られる発光は、シングレット化合物による一重項励起エネルギーを利用したものである。

【0120】本発明は上記構成によって、EL 層成膜時にゴミ等の影響によりピンホールが形成され、発光層に間に挟んで形成された 2 つの層どうしがショートしても、ショートしている欠陥部の抵抗を高めることで EL 素子に順バイアスの電圧をかけたときに実際に EL 層に流れる電流を大きくすることができる。したがって、本発明の修理方法により、欠陥部が存在しても、同じ電圧を印加したときの発光輝度を高くすることができる。

【0121】また、欠陥部を変性層に変えて抵抗を大きくすることで、変性層の周囲に存在する EL 層の劣化が促進されるのを防ぐことができる。

【0122】なお、EL 材料が炭化したことで形成される炭化物は、絶縁性が高く、物質としても安定している。そのため、欠陥部において有機 EL 材料が充填されている場合、例えば、EL 層に接するように EL 材料を成膜した時に欠陥部が生じた場合において、本発明の修理方法は特に有効である。

【0123】なお本実施例は、実施例 1～実施例 4 と自由に組み合わせて実施することが可能である。

【0124】(実施例 6) 本発明の修理方法を用いる発光装置において、三重項励起子からの燐光を発光に利用できる EL 材料を用いることが可能である。燐光を発光に利用できる EL 材料を用いた発光装置は、外部発光量子効率を飛躍的に向上させることができる。これにより、EL 素子の低消費電力化、長寿命化、および軽量化が可能になる。

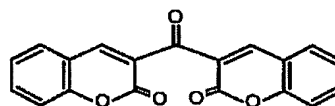
【0125】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T. Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K. Honda, (Elsevier Sci. Pub., Tokyo, 1991) p. 437.)

【0126】上記の論文により報告された EL 材料 (クマリン色素) の分子式を以下に示す。

【0127】

【化 1】

18

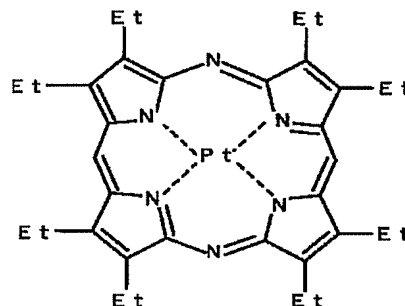


【0128】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

【0129】上記の論文により報告された EL 材料 (Pt 錯体) の分子式を以下に示す。

【0130】

【化 2】

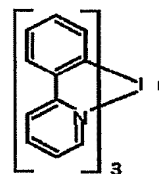


【0131】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0132】上記の論文により報告された EL 材料 (Ir 錯体) の分子式を以下に示す。

【0133】

【化 3】



【0134】以上のように三重項励起子からの燐光を発光に利用できれば原理的には一重項励起子からの蛍光を発光に利用する場合より 3～4 倍の高い外部発光量子効率の実現が可能となる。

【0135】なお、本実施例の構成は、実施例 1～実施例 5 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0136】(実施例 7) 本実施例では、欠陥部を有する EL 素子に、実際に逆バイアスの電圧を印加したときの、電圧-電流特性について説明する。

【0137】本実施例で用いた EL 素子は、まず、酸化インジウムと酸化スズを組み合わせた化合物 (ITO) からなる陽極上に、正孔注入層として銅フタロシアニンを 20 nm の膜厚で蒸着法により形成されている。次に、正孔輸送層として MTDATA を 20 nm、 α -N

PDを10nm、それぞれ蒸着法により形成されている。その上に発光層を形成する発光材料としてシングレット化合物であるAlq₃が蒸着法により50nmの膜厚で成膜されている。次に、電子注入層としてリチウムアセチルアセトネート(Liacac)を2nm、陰極としてアルミニウム合金を50nmの厚さに成膜することにより、EL素子が形成されている。

【0138】上記構成を有するEL素子に逆バイアスの電圧を印加したときの、電圧-電流特性を図14に示す。逆バイアスの電圧が-5VであるPoint Aにおいて、逆バイアスの電流が大きくなり、その後再び小さくなっている。

【0139】逆バイアスの電圧を印加することでEL素子が破壊された場合も、逆バイアスの電流が大きくなると考えられるが、Point Aにおいては、その後電流値が小さくなっているため、欠陥部において何らかの変化が起こり、欠陥部の抵抗が高くなったと考えることができる。

【0140】本発明の修理方法において、EL素子に印加する逆バイアスの電圧の高さ及び印加する時間については、EL素子が有する陽極、陰極及びEL層の材料や構成によって異なる。逆バイアスの電圧が低すぎると本発明の効果は得られず、逆に高すぎてもEL層の劣化が促進されたり、EL素子自体が破壊されたりする。

【0141】図14に示した電圧-電流特性では、逆バイアスの電圧が-6.5V以下の領域で逆バイアスの電流が急激に大きくなっている。よって本実施例で用いたEL素子の場合、-6.5V以下の逆バイアスの電圧を印加すると、EL素子が破壊されかかっているか、もしくはEL層が劣化しかかっていると考えられる。

【0142】実施者は、EL素子が有する陽極、陰極及びEL層の材料や構成によって、逆バイアスの電圧の高さ及び印加する時間を適宜設定する必要がある。

【0143】(実施例8) 本実施例では、逆バイアスの電圧の値を直流でアバランシュ電圧(V_{av})まで大きくし、再び小さくしていった場合の、電圧-電流特性について説明する。

【0144】図15に、逆バイアスの電圧の値を直流でアバランシュ電圧(V_{av})まで大きくし、再び小さくしていった場合の、電圧-電流特性のグラフを示す。逆バイアスの電圧を大きくしていくと、Point B、Point C、Point Dにおいて一時的に逆バイアスの電流 I_{rev} が大きくなり、欠陥部にて何らかの変化が起こって変性層に変化している。

【0145】そして逆バイアスの電圧 V_{rev} を V_{av} まで大きくした後、再び小さくしていても、逆バイアスの電流 I_{rev} に特段の変化は見られない。

【0146】本実施例は、実施例1~7と自由に組み合わせ実施することが可能である。

【0147】(実施例9) 本実施例では、本発明の修理

方法を用いた発光装置の断面図について説明する。

【0148】図16において、基板700上に設けられたスイッチング用TF T 721はnチャネル型TF Tを用いて形成される。

【0149】なお、本実施例ではスイッチング用TF T 721がチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

10 【0150】基板700上に設けられた駆動回路はnチャネル型TF T 723とpチャネル型TF T 724を有している。なお、本実施例では駆動回路が有するTF Tをシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0151】また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチング用TF Tのソース領域とを電気的に接続する配線として機能し、配線705はドレイン配線709とスイッチング用TF Tのドレイン領域とを電気的に接続する配線として機能する。

【0152】なお、EL駆動用TF T 722はpチャネル型TF Tを用いて形成される。なお、本実施例ではEL駆動用TF T 722をシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0153】また、配線706はEL駆動用TF Tのソース配線(電流供給線に相当する)であり、707はEL駆動用TF Tの画素電極710上に重ねることで画素電極710と電気的に接続する電極である。

30 【0154】なお、710は、透明導電膜からなる画素電極(EL素子の陽極)である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0155】配線701~707を形成後、図16に示すようにバンク712を形成する。バンク712は100~400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。

【0156】なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。

本実施例ではバンク 712 の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega\text{m}$ (好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega\text{m}$) となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0157】画素電極 710 の上には EL 層 713 が形成される。なお、図 16 では一画素しか図示していないが、本実施例では R (赤)、G (緑)、B (青) の各色に対応した EL 層を作り分けている。また、本実施例では蒸着法により低分子系有機 EL 材料を形成している。具体的には、正孔注入層 713a として 20 nm 厚の銅フタロシアニン (CuPc) 膜を設け、その上に発光層 713b として 70 nm 厚のトリス-8-キノリノラトアルミニウム錯体 (Alq_3) 膜を設けた積層構造としている。 Alq_3 にキナクリドン、ペリレンもしくは DCM1 といった蛍光色素を添加することで発光色を制御することができる。

【0158】但し、以上の例は EL 層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。例えば、本実施例では低分子系有機 EL 材料を EL 層として用いる例を示したが、高分子系有機 EL 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

【0159】次に、EL 層 713 の上には導電膜からなる陰極 714 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の MgAg 膜 (マグネシウムと銀との合金膜) を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0160】この陰極 714 まで形成された時点で EL 素子 719 が完成する。なお、ここでいう EL 素子 719 は、画素電極 (陽極) 710、EL 層 713 及び陰極 714 で形成されたコンデンサを指す。

【0161】EL 素子 719 を完全に覆うようにしてパッシベーション膜 716 を設けることは有効である。パッシベーション膜 716 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0162】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に DLC (ダイヤモンドライクカーボン) 膜を用いることは有効である。DLC 膜は室温から 100℃ 以下の温度範囲で成膜可能であるため、耐熱性の低い EL 層 713 の

上方にも容易に成膜することができる。また、DLC 膜は酸素に対するブロッキング効果が高く、EL 層 713 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に EL 層 713 が酸化するといった問題を防止できる。

【0163】さらに、パッシベーション膜 716 上に封止材 717 を設け、カバー材 718 を貼り合わせる。封止材 717 としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材 718 はガラス基板や石英基板やプラスチック基板 (プラスチックフィルムも含む) の両面に炭素膜 (好ましくはダイヤモンドライクカーボン膜) を形成したものをを用いる。

【0164】こうして図 16 に示すような構造の EL 表示装置が完成する。なお、バンク 712 を形成した後、パッシベーション膜 716 を形成するまでの工程をマルチチャンバー方式 (またはインライン方式) の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 718 を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0165】また、本実施例における TFT の特徴は、ゲート電極が 2 層の導電膜から形成されており、そしてチャネル形成領域とドレイン領域との間に設けられる低濃度不純物領域において、ほとんど濃度差がなく、緩やかな濃度勾配を有し、下層のゲート電極と重なる領域 (GOLD 領域) と、ゲート電極と重ならない領域 (LDD 領域) とを備えている点である。また、ゲート絶縁膜の周縁部、即ち、ゲート電極と重ならない領域及び高濃度不純物領域の上方の領域はテーパー状となっている。

【0166】本実施例の発光装置において発光層 713b にピンホールが形成されていると、該ピンホールを介して正孔注入層 713a と陰極 714 とが接触している欠陥部が形成される。本発明の修理方法により、該欠陥部を変性層 715 に変えることで抵抗を高くすることができる。よって、画素のピンホール以外の部分の輝度を高くし、ピンホールの周りの EL 層の劣化が促進されるのを防ぐことができる。

【0167】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/A コンバータ、オペアンプ、 γ 補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0168】なお本実施例の構成は、実施例 1、2、3、4、6 または 8 と自由に組み合わせて実施することが可能である。

【0169】(実施例 10) 本実施例では、本発明の修

10

20

30

40

50

理方法を用いた発光装置の断面図について説明する。

【0170】図17において、同一の基板上に、駆動回路のpチャネル型TFT200と、nチャネル型TFT201と、画素部のEL駆動用TFT203と、スイッチング用TFT204と、保持容量205とが形成されている。

【0171】駆動回路のpチャネル型TFT200には、第2のテーパー形状を有する導電層220がゲート電極としての機能を有し、また、チャネル形成領域206、ソース領域またはドレイン領域として機能する第3の不純物領域207a、ゲート電極220と重ならないLDD領域を形成する第4の不純物領域(A)207b、一部がゲート電極220と重なるLDD領域を形成する第4の不純物領域(B)207cを有する構造となっている。

【0172】nチャネル型TFT201には、第2のテーパー形状を有する導電層221がゲート電極としての機能を有し、また、チャネル形成領域208、ソース領域またはドレイン領域として機能する第1の不純物領域209a、ゲート電極221と重ならないLDD領域を形成する第2の不純物領域(A)209b、一部がゲート電極221と重なるLDD領域を形成する第2の不純物領域(B)209cを有する構造となっている。チャネル長2~7 μ mに対して、第2の不純物領域(B)209cがゲート電極221と重なる部分の長さは0.1~0.3 μ mとする。このLovの長さはゲート電極221の厚さとテーパー部の角度から制御する。nチャネル型TFTにおいてこのようなLDD領域を形成することにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。

【0173】EL駆動用TFT203は同様に、第2のテーパー形状を有する導電層223がゲート電極としての機能を有し、また、チャネル形成領域212、ソース領域またはドレイン領域として機能する第3の不純物領域213a、ゲート電極223と重ならないLDD領域を形成する第4の不純物領域(A)213b、一部がゲート電極223と重なるLDD領域を形成する第4の不純物領域(B)213cを有する構造となっている。

【0174】駆動回路はシフトレジスタ回路、バッファ回路などのロジック回路やアナログスイッチで形成されるサンプリング回路などで形成される。図17ではこれらを形成するTFTを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造で示したが、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【0175】EL駆動用TFT203のドレイン領域は配線231を介して画素電極271に接続されている。画素電極271に接するように公知の有機EL材料からなるEL層272が形成されており、EL層272に接

するように陰極273が形成されている。

【0176】スイッチング用TFT204には、第2のテーパー形状を有する導電層224がゲート電極としての機能を有し、また、チャネル形成領域214a、214b、ソース領域またはドレイン領域として機能する第1の不純物領域215a、217、ゲート電極224と重ならないLDD領域を形成する第2の不純物領域(A)215b、一部がゲート電極224と重なるLDD領域を形成する第2の不純物領域(B)215cを有する構造となっている。第2の不純物領域(B)213cがゲート電極224と重なる部分の長さは0.1~0.3 μ mとする。また、第1の不純物領域217から延在し、第2の不純物領域(A)219b、第2の不純物領域(B)219c、導電型を決定する不純物元素が添加されていない領域218を有する半導体層と、第3の形状を有するゲート絶縁膜と同層で形成される絶縁層と、第2のテーパー形状を有する導電層から形成される容量配線225から保持容量が形成されている。

【0177】本実施例の発光装置においてEL層272にピンホールが形成されていると、該ピンホールを介して画素電極271と陰極273とが接触している欠陥部が形成される。本発明の修理方法により、該欠陥部を変性層274に変えることで抵抗を高くすることができ、よって、画素のピンホール以外の部分の輝度を高くし、ピンホールの周りのEL層の劣化が促進されるのを防ぐことができる。

【0178】なお本実施例の構成は、実施例1、2、3、4、6または8と自由に組み合わせて実施することが可能である。

【0179】(実施例11)本実施例では、本発明の修理方法を用いた発光装置の断面図について説明する。

【0180】図18において、811は基板、812は下地となる絶縁膜(以下、下地膜という)である。基板811としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0181】また、下地膜812は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜812としては、珪素(シリコン)を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜(SiO_xNy : x、yは任意の整数、で示される)など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0182】8201はスイッチング用TFT、8202はEL駆動用TFTであり、それぞれnチャネル型TFT、pチャネル型TFTで形成されている。ELの発光方向が基板の下面(TFT及びEL層が設けられてい

ない面) の場合、上記構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチング用 TFT と EL 駆動用 TFT は、n チャネル型 TFT でも p チャネル型 TFT でも、どちらでも構わない。

【0183】スイッチング用 TFT 8201 は、ソース領域 813、ドレイン領域 814、LDD 領域 815a ~ 815d、分離領域 816 及びチャネル形成領域 863、864 を含む活性層と、ゲート絶縁膜 818 と、ゲート電極 819a、819b と、第 1 層間絶縁膜 820 と、ソース信号線 821 と、ドレイン配線 822 とを有している。なお、ゲート絶縁膜 818 又は第 1 層間絶縁膜 820 は基板上の全 TFT に共通であっても良いし、回路又は素子に応じて異ならせても良い。なお、817a、817b は、チャネル形成領域を形成するためのマスクである。

【0184】また、図 18 に示すスイッチング用 TFT 8201 はゲート電極 819a、819b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0185】マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 TFT のオフ電流を十分に低くすれば、それだけ EL 駆動用 TFT 8202 のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることは EL 素子の有効発光面積を広げる上でも有効である。

【0186】さらに、スイッチング用 TFT 8201 においては、LDD 領域 815a ~ 815d は、ゲート絶縁膜 818 を介してゲート電極 819a、819b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD 領域 815a ~ 815d の長さ（幅）は 0.5 ~ 3.5 μm 、代表的には 2.0 ~ 2.5 μm とすれば良い。

【0187】なお、チャネル形成領域と LDD 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 816（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0188】次に、EL 駆動用 TFT 8202 は、ソース領域 826、ドレイン領域 827 及びチャネル形成領域 805 を含む活性層と、ゲート絶縁膜 818 と、ゲート電極 830 と、第 1 層間絶縁膜 820 と、ソース配線

831 並びにドレイン配線 832 を有して形成される。本実施例において EL 駆動用 TFT 8202 は p チャネル型 TFT である。なお、829 は、チャネル形成領域を形成するためのマスクである。

【0189】また、スイッチング用 TFT 8201 のドレイン領域 814 は EL 駆動用 TFT 8202 のゲート 830 に電氣的に接続されている。図示してはいないが、具体的には EL 駆動用 TFT 8202 のゲート電極 830 はスイッチング用 TFT 8201 のドレイン領域 814 とドレイン配線（接続配線とも言える）822 を介して電氣的に接続されている。なお、ゲート電極 830 はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、EL 駆動用 TFT 8202 のソース配線 831 は電源供給線（図示せず）に接続される。

【0190】EL 駆動用 TFT 8202 は EL 素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅（W）はスイッチング用 TFT のチャネル幅よりも大きく設計することが好ましい。また、EL 駆動用 TFT 8202 に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり 0.5 ~ 2 μA （好ましくは 1 ~ 1.5 μA ）となるようにする。

【0191】またさらに、EL 駆動用 TFT 8202 の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは 50 ~ 100 nm、さらに好ましくは 60 ~ 80 nm）ことによって、TFT の劣化を抑えてもよい。逆に、スイッチング用 TFT 8201 の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは 20 ~ 50 nm、さらに好ましくは 25 ~ 40 nm）ことも有効である。

【0192】以上は画素内に設けられた TFT の構造について説明したが、このとき同時に駆動回路も形成される。図 18 には駆動回路を形成する基本単位となる CMOS 回路が図示されている。

【0193】図 18 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する TFT を CMOS 回路の n チャネル型 TFT 8204 として用いる。なお、ここでいう駆動回路としては、ソース信号側駆動回路、ゲート信号側駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/D コンバータ、信号分割回路等）を形成することも可能である。

【0194】CMOS 回路の n チャネル型 TFT 8204 の活性層は、ソース領域 835、ドレイン領域 836、LDD 領域 837 及びチャネル形成領域 862 を含み、LDD 領域 837 はゲート絶縁膜 818 を介してゲート電極 839 と重なっている。なお、838 は、チャネル形成領域を形成するためのマスクである。

10

20

30

40

50

【0195】ドレイン領域836側のみにLDD領域837を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT8204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域837は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0196】また、CMOS回路のpチャネル型TFT8205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域840、ドレイン領域841及びチャネル形成領域861を含み、その上にはゲート絶縁膜818とゲート電極843が設けられる。勿論、nチャネル型TFT8204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。なお、842は、チャネル形成領域を形成するためのマスクである。

【0197】また、nチャネル型TFT8204及びpチャネル型TFT8205はそれぞれソース領域上に第1層間絶縁膜820を間に介して、ソース配線844、845を有している。また、ドレイン配線846によってnチャネル型TFT8204とpチャネル型TFT8205とのドレイン領域は互いに電気的に接続される。

【0198】次に、847は第1パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜847は形成されたTFTをアルカリ金属や水分から保護する役割金属を有する。最終的にTFT(特にEL駆動用TFT)の上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜847はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

【0199】また、848は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜848としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜848で殆ど吸収してしまうことが望ましい。また、ゲート信号線やデータ信号線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5~5μm(好ましくは1.5~2.5μm)が好ましい。

【0200】また、849は透明導電膜でなる画素電極

(EL素子の陽極)であり、第2層間絶縁膜848及び第1パッシベーション膜847にコンタクトホール(開孔)を開けた後、形成された開孔部においてEL駆動用TFT8202のドレイン配線832に接続されるように形成される。なお、図18のように画素電極849とドレイン領域827とが直接接続されないようにしておくと、EL層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0201】画素電極849の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜850が0.3~1μmの厚さに設けられる。この第3層間絶縁膜850は画素電極849の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10~60°(好ましくは30~50°)とすると良い。

【0202】第3層間絶縁膜850の上にはEL層851が設けられる。EL層851は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に形成されるが、正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0203】図18の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図18には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明は発光方式に関わらず実施することが可能である。

【0204】EL層851の上にはEL素子の陰極852が設けられる。陰極852としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0205】なお、画素電極(陽極)849、EL層851及び陰極852によってEL素子8206が形成される。

【0206】EL層851は、各画素で個別に形成する必要があるが、EL層851は水分に極めて弱いので、通常フォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0207】なお、EL層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピコート法等を用いることも可能であるが、これらは現状で

は陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0208】また、853は保護電極であり、EL層851、陰極852を外部の水分等から保護すると同時に、各画素の陰極852を接続するための電極である。保護電極853としては、アルミニウム（Al）、銅（Cu）若しくは銀（Ag）を含む低抵抗な材料を用いることが好ましい。この保護電極853にはEL層の発熱を緩和する放熱効果も期待できる。

【0209】また、854は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜854を設ける目的は、EL層851を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピンコーティング法）が望ましい成膜方法と言える。

【0210】なお、図18に図示されたTFEは全て、本発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【0211】本実施例の発光装置においてEL層860にピンホールが形成されていると、該ピンホールを介して画素電極849と陰極852とが接触している欠陥部が形成される。本発明の修理方法により、該欠陥部を変性層860に変えることで抵抗を高くすることができる。よって、画素のピンホール以外の部分の輝度を高くし、ピンホールの周りのEL層の劣化が促進されるのを防ぐことができる。

【0212】なお本実施例の構成は、実施例1、2、3、4、6または8と自由に組み合わせて実施することが可能である。

【0213】（実施例12）EL素子を用いた発光装置は自発光型であるため、液晶表示装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0214】本発明の修理方法を用いた発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、EL

素子を有する発光装置を用いることが望ましい。それら電子機器の具体例を図11に示す。

【0215】図11（A）はEL表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の修理方法を用いた発光装置は表示部2003に用いることができる。EL素子を有する発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、EL表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0216】図11（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の修理方法を用いた発光装置は表示部2102に用いることができる。

【0217】図11（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の修理方法を用いた発光装置は表示部2203に用いることができる。

【0218】図11（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の修理方法を用いた発光装置は表示部2302に用いることができる。

【0219】図11（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の修理方法を用いた発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0220】図11（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の修理方法を用いた発光装置は表示部2502に用いることができる。

【0221】図11（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の修理方法を用いた発光装置は表示部2602に用いることができる。

【0222】ここで図11（H）は携帯電話であり、本

体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。本発明の修理方法を用いた発光装置は表示部 2703 に用いることができる。なお、表示部 2703 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0223】なお、将来的に EL 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0224】また、上記電子機器はインターネットや CATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL 材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0225】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0226】以上の様に、本発明の修理方法を用いた発光装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1～11 に示したいずれの構成を用いても良い。

【0227】（実施例 13）本実施例では、本発明の修理方法をパッシブ型（単純マトリクス型）の発光装置に適用した場合について説明する。

【0228】図 19（A）にパッシブ型の発光装置の構成を示す。805 は画素部であり、複数の画素 806 を有している。各画素は複数のデータ線 803 の 1 つと、複数の走査線 804 の 1 つとを有している。データ線 803 と走査線 804 の間に EL 層が形成されており、データ線 803 と走査線 804 とが電極となり、EL 素子 807 が形成されている。

【0229】データ線 803 に入力される信号はデータ線駆動回路 801 において制御されており、走査線 804 に入力される信号は走査線駆動回路 802 において制御されている。

【0230】図 19（B）に、本発明の修理方法を用いたときに、走査線 804 とデータ線 803 に入力される信号の電圧の高さを示す。各走査線 804 の電圧を一定にし、データ線の電圧を一定期間毎に変化させることで、一定期間毎に EL 素子 807 に所定の逆バイアスの電流を流す。

【0231】なお EL 素子 807 の欠陥の修理は、画素部 805 が有する全ての画素 806 において一斉に行っ

ても良いし、各ライン毎、または各画素毎に行っても良い。

【0232】本発明の方法を用いることによって、EL 層成膜時にゴミ等の影響によりピンホールが形成され、発光層を間に挟んで形成された 2 つの層どうしがショートしても、ショートしている欠陥部の抵抗を高めることができ、EL 素子に順バイアスの電圧をかけたときに実際に EL 層に流れる電流を大きくすることができる。したがって、本発明の修理方法により、欠陥部が存在しても、同じ電圧を印加したときの発光輝度を高くすることができる。

【0233】また、欠陥部では常に電流が流れるために、欠陥部の周囲に存在する EL 層の劣化が促進されやすかった。しかし、変性層は抵抗 R_{sc} が高いので電流は流れにくく、変性層の周囲に存在する EL 層の劣化が促進されることを防ぐことができる。

【0234】本実施例は、実施例 5～8、12 と自由に組み合わせて実施することが可能である。

【0235】

【発明の効果】本発明は上記構成によって、EL 層成膜時にゴミ等の影響によりピンホールが形成され、発光層を間に挟んで形成された 2 つの層どうしがショートしても、ショートしている欠陥部の抵抗を高めることができ、EL 素子に順バイアスの電圧をかけたときに実際に EL 層に流れる電流を大きくすることができる。したがって、本発明の修理方法により、欠陥部が存在しても、同じ電圧を印加したときの発光輝度を高くすることができる。

【0236】また、欠陥部では常に電流が流れるために、欠陥部の周囲に存在する EL 層の劣化が促進されやすかった。しかし、変性層は抵抗 R_{sc} が高いので電流は流れにくく、変性層の周囲に存在する EL 層の劣化が促進されることを防ぐことができる。

【図面の簡単な説明】

【図 1】 EL 素子に逆バイアスの電圧を印加した時の、EL 素子における電流の流れを模式的に示した図。

【図 2】 修理の過程における EL 素子の電圧電流特性の変化と、修理後の EL 素子に順バイアスの電圧を印加した時の、EL 素子における電流の流れを模式的に示した図。

【図 3】 画素の回路図。

【図 4】 画素部の回路図及び修理の際の画素部の動作を示す図。

【図 5】 画素の回路図。

【図 6】 画素部の回路図及び修理の際の画素部の動作を示す図。

【図 7】 駆動回路の構成を示す図。

【図 8】 駆動回路の構成を示す図。

【図 9】 EL 素子の構成を示す図。

【図 10】 EL 素子の構成を示す図。

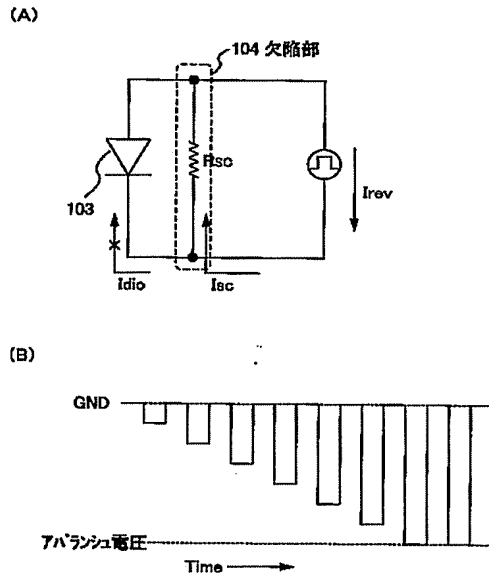
【図 1 1】 本発明の修理方法を用いた発光装置を有する電子機器。

【図 1 2】 欠陥部を有する EL 素子の断面図と、該 EL 素子に順バイアスの電流を流したときの電流の流れを模式的に示した図。

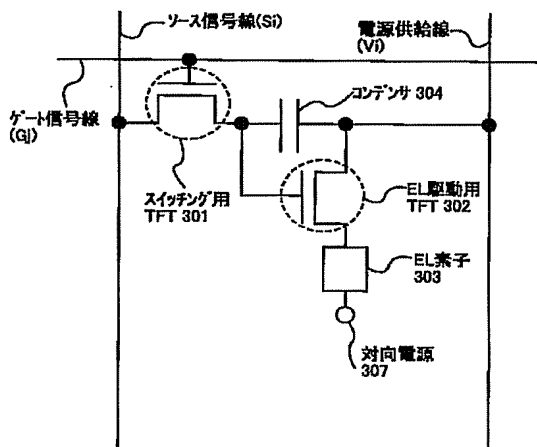
【図 1 3】 EL 素子の電圧－電流特性を示す図。

【図 1 4】 EL 素子に逆バイアスの電流を流したとき

【図 1】



【図 3】



の電圧－電流特性のグラフ。

【図 1 5】 EL 素子の電圧－電流特性を示す図。

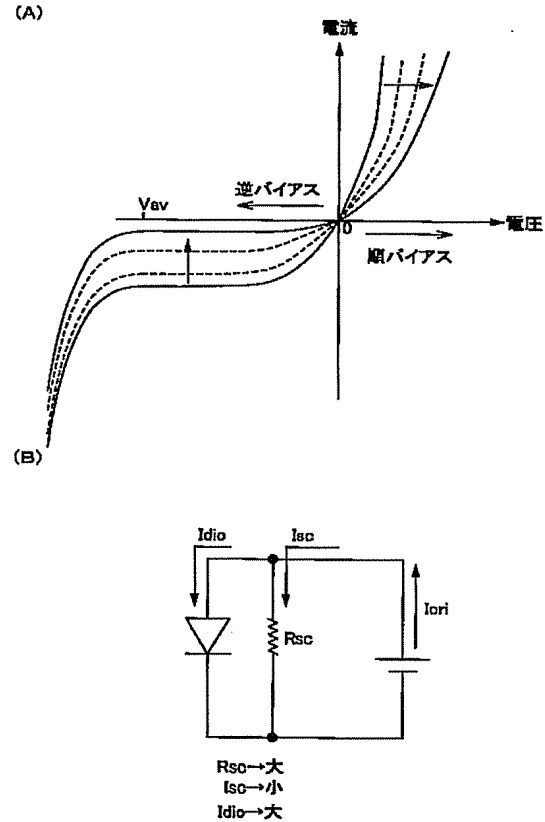
【図 1 6】 発光装置の断面図。

【図 1 7】 発光装置の断面図。

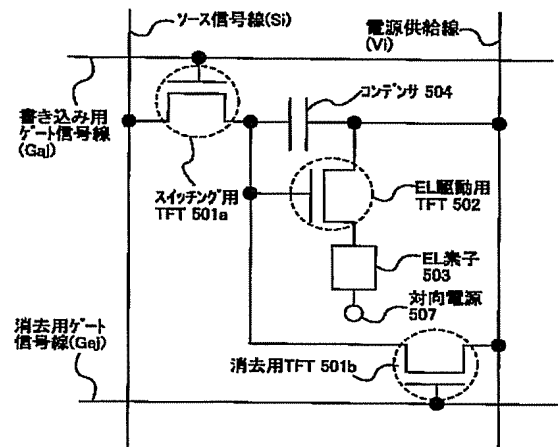
【図 1 8】 発光装置の断面図。

【図 1 9】 パッシブ型の発光装置に本発明の修理方法を用いた場合の図。

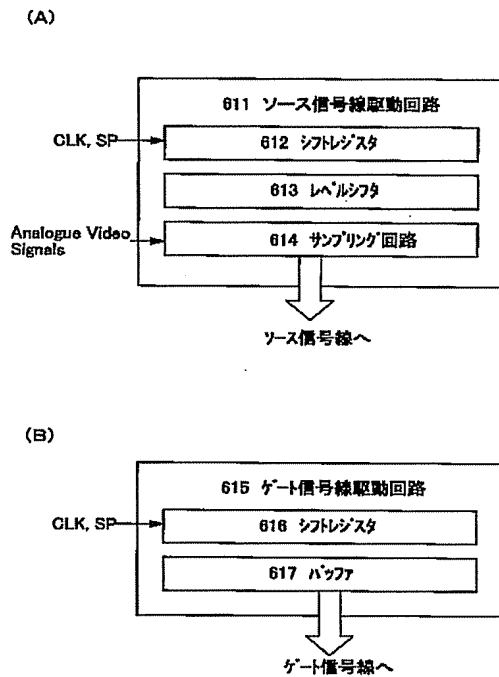
【図 2】



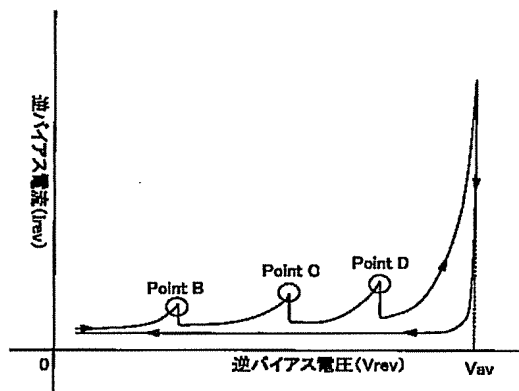
【図 5】



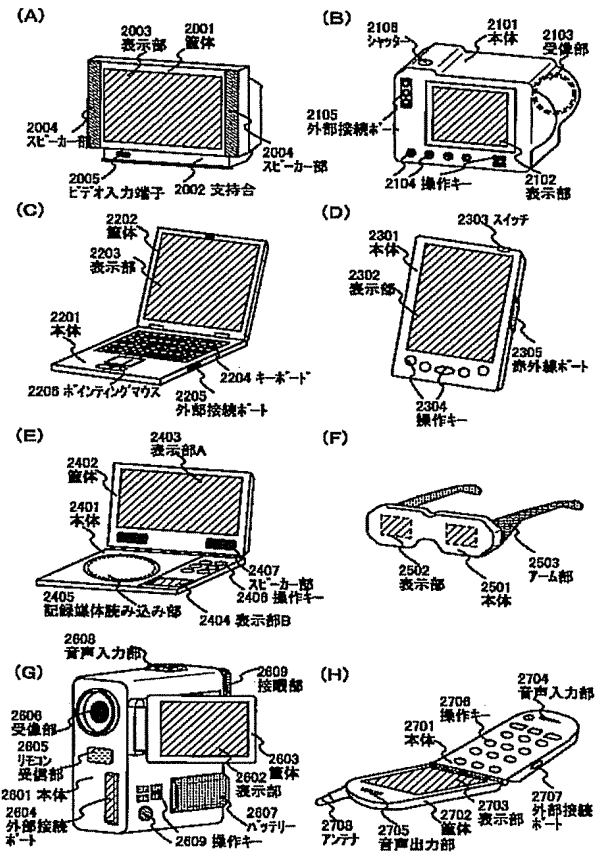
【図 8】



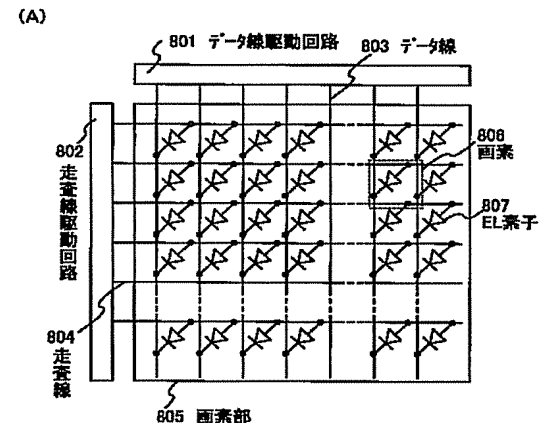
【図 15】



【図 11】

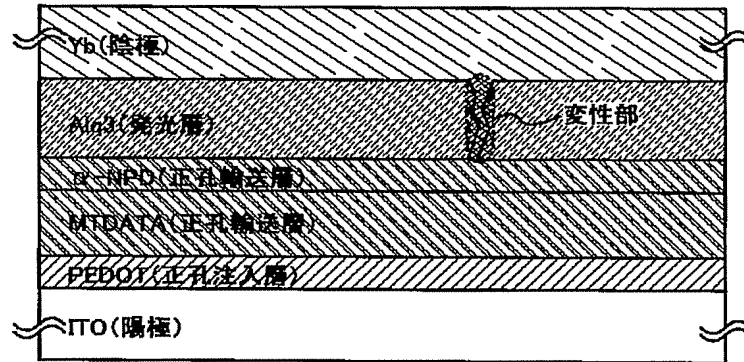


【図 19】

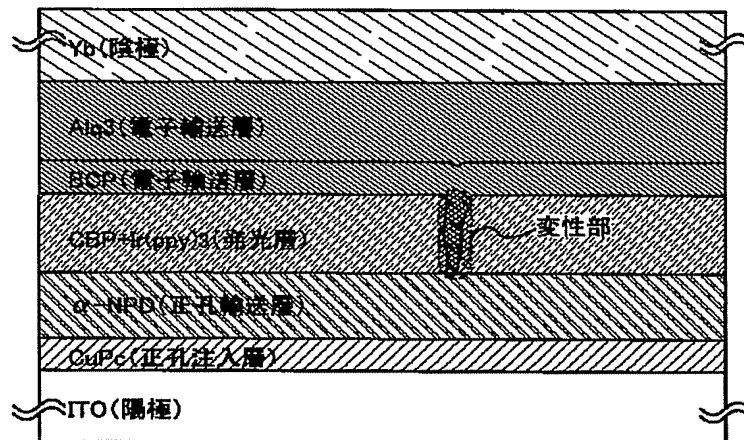


【図9】

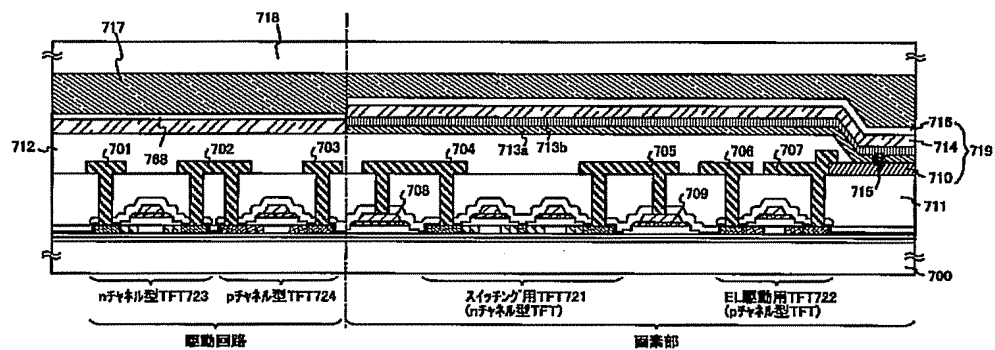
(A)



(B)

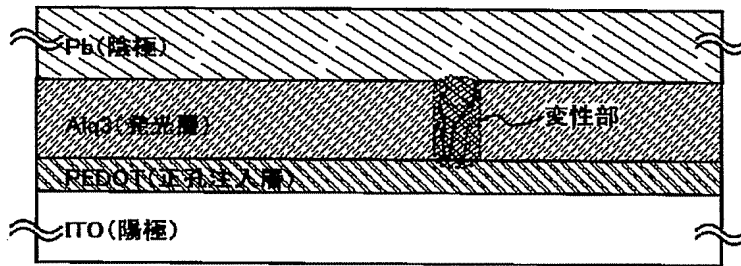


【図16】

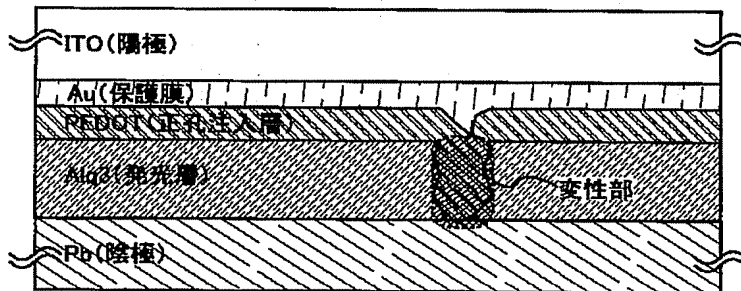


【図 10】

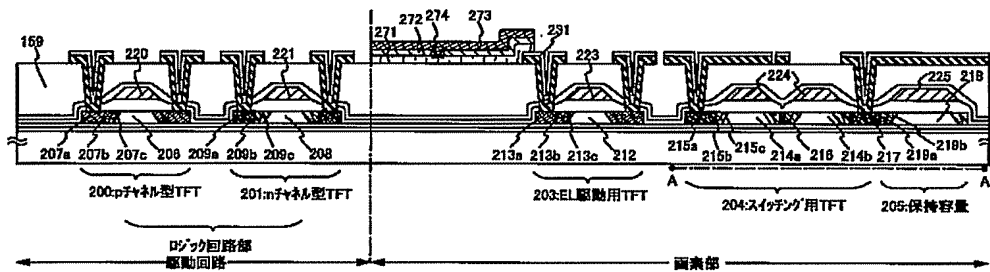
(A)



(B)

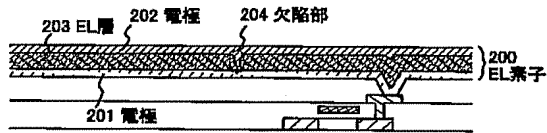


【図 17】

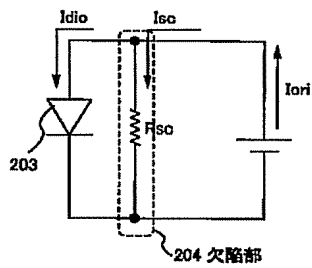


【図 12】

(A)

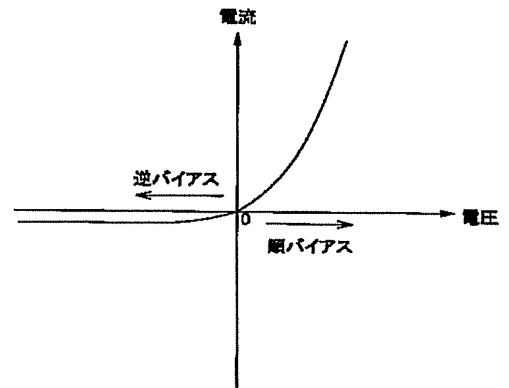


(B)

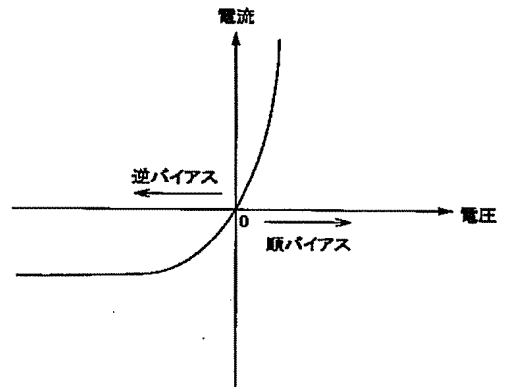


【図 13】

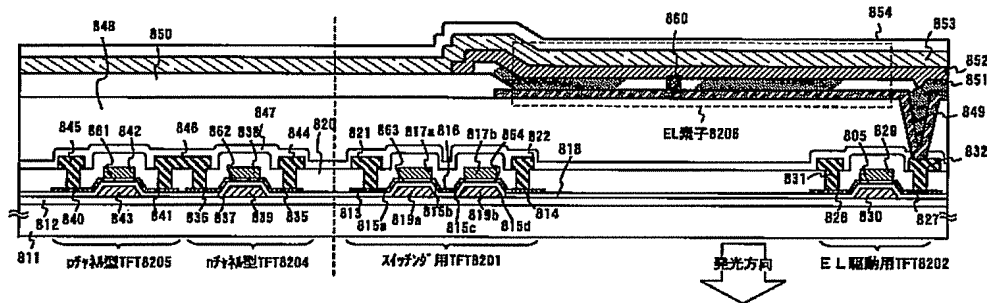
(A)



(B)



【図 18】



フロントページの続き

(51) Int. Cl.⁷

H05B 33/12
33/14

識別記号

F I

H05B 33/12
33/14

ターマコード (参考)

Z
A

F ターム(参考) 3K007 AB05 AB18 BA06 DA01 DB03
EB00 FA00 GA02
5C094 AA21 AA42 AA43 BA03 BA27
CA19 DA13 DB01 DB04 EA04
FA01 FB01 FB02 FB12 FB20
GA10 GB10
5G435 AA16 AA17 BB05 CC09 HH12
HH13 HH14 KK05